

JP-U-58-101233

The present utility model relates to a standby-mode control apparatus of one-chip microcomputer. The standby-mode control apparatus stops an operation of oscillator during a stand-by period, and starts the operation of oscillator when a standby cancellation signal is received. The standby-mode control apparatus includes a delay timer which starts its operation in synchronization with the start of the oscillator. This delay timer is independent from a counter which is used in an execution of an ordinary program. The standby-mode control apparatus prohibits supplying a clock to a portion which is unnecessary for standby-control for a certain period after the oscillator re-starts to operate by the delay timer.

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

公開実用 昭和 58— 101233

19 日本国特許庁 (JP)

11 実用新案出願公開

12 公開実用新案公報 (U)

昭58—101233

51 Int. Cl.
G 06 F 1 04
1 00

識別記号
1 0 2
1 0 3

庁内整理番号
7056 -5 B
6913 -5 B
6913 -5 B

43 公開 昭和58年(1983) 7 月 9 日

審査請求 有

(全 頁)

54 スタンバイモード制御装置

川崎市中原区上小田中1015番地
富士通株式会社内

21 実 願 昭56—197694

71 出 願 人 富士通株式会社

22 出 願 昭56(1981)12月25日

川崎市中原区上小田中1015番地

72 考 案 者 中森勉

74 代 理 人 弁理士、青柳稔

明 細 書

1. 考案の名称

スタンバイモード制御装置

2. 実用新案登録請求の範囲

スタンバイ期間には発振器の動作を停止させ、且つ外部からのスタンバイ解除信号を受けて該発振器の動作を再開させる1チップマイクロコンピュータのスタンバイモード制御装置において、該発振器の始動と同期して動作を開始するディレイタイマを通常のプログラム実行に使用されるカウンタ類とは独立した機能として設け、そして該ディレイタイマによって該発振器の動作が再開されてから一定時間はスタンバイ制御に不要な部分へのクロック供給を禁止するようにしてなることを特徴とするスタンバイモード制御装置。

3. 考案の詳細な説明

(1) 考案の技術分野

本考案は、スタンバイ期間に発振器の動作を停止して消費電力を節減する1チップマイクロコンピュータのスタンバイモード制御装置に関し、特

公開実用 昭和58-101233

にスタンバイ解除直後の発振動作の不安定性が回路各部へ悪影響を与えないようにするものである。

(2) 技術の背景

静的な消費電力の少ないCMOSで構成される1チップのマイクロコンピュータの消費電力を更に低減するために、スタンバイモードを導入するのが一般的である。スタンバイモードでこの種のマイクロコンピュータの源発振器の動作を停止すると、50%~70%の消費電力が節減できる。通常RAM、ALU等の回路に供給される各種クロックはこの発振器の出力を分周したものであるから、該発振器の動作停止に伴ないこれらのクロックの供給も停止される。

スタンバイモードへの移行は、外部からの信号を受ける場合と内部的にスタンバイ命令を実行する場合がある。これらに対しスタンバイモードの解除は全て外部からの解除信号による。この解除信号を受けると先ず発振器の動作を再開させる。そして一定時間を経過したらクロックの供給を再開する。このように発振動作開始からクロック供

給までの間に時間差を設けるのは、発振初期の不安定な周波数で各部が誤動作することを避けるためである。

(3) 従来技術と問題点

ところで上述した時間管理を外部で行なおうとすれば、外部からスタンバイ解除信号のみならず一定時間遅れたクロック供給開始信号を与える必要があり、ピン数が増加する欠点がある。これを避けるためには、外部からスタンバイ解除信号を受けたら内部的にクロック供給開始信号を発生するタイマ機能が必要となる。しかし、このタイマ機能を従来のようにプログラムカウンタや通常のタイマカウンタに兼備させると、スタンバイモード移行前にこれらカウンタ類に保持されていた情報が消失してしまうため、スタンバイ解除後に再度該情報を設定し直す等の不都合が生ずる。

(4) 考案の目的

本考案は、スタンバイ解除直後に一時的にクロック供給を禁止するディレイタイマを、通常動作に必要なカウンタ類とは別個に設けて上述した欠

公開実用 昭和58-101233

点を除去しようとするものである。

(5) 考案の構成

本考案は、スタンバイ期間には発振器の動作を停止させ、且つ外部からのスタンバイ解除信号を受けて該発振器の動作を再開させる1チップマイクロコンピュータのスタンバイモード制御装置において、該発振器の始動と同期して動作を開始するディレイタイマを通常のプログラム実行に使用されるカウンタ類とは独立した機能として設け、そして該ディレイタイマによって該発振器の動作が再開されてから一定時間はスタンバイ制御に必要な部分へのクロック供給を禁止するようになっていることを特徴とするものである。

(6) 考案の実施例

以下、図示の実施例を参照しながら本考案を詳細に説明する。第1図は本考案の一実施例を示すブロック図で、CMOSの1チップマイクロコンピュータにおけるスタンバイ制御に必要な部分を示したものである。同図において、1はプログラムメモリ7からの命令をデコードする命令デコーダ、

2は該デコーダからのスタンバイ命令STBYを受けて動作を開始するスタンバイ制御ロジック、3は水晶振動子等を用いた源発振器、4はその出力を分周して各種の内部クロックを発生するクロック分周／制御回路、5は外部からスタンバイ解除信号が供給される端子、6はスタンバイ解除信号が与えられてから一定期間はRAM、ALU等への内部クロックの供給を禁止するディレイタイマである。但し、ディレイタイマ6もカウンタの一種であり、またロジック2は該タイマのオーバーフロー出力を受けて制御を行なうという関係で、発振器3が動作を再開したらその出力または内部クロックの一部をタイマ6とロジック2へは直ちに与える必要がある。

第2図はスタンバイモードのフローチャートである。先ずステップ④でプログラムメモリ7から命令デコーダ1へスタンバイ命令をフェッチし、これをデコードする。スタンバイ制御ロジック2はスタンバイ命令STBYを受けるとステップ⑤で直ちにRAM、ALU等の各機能を停止する（ノー

公開実用 昭和58-101233

オペレーションにする)。そしてステップ③でクロック制御信号 $CONT_1$ によりクロックを停止し、次いで発振制御信号 $CONT_2$ により発振動作を停止する。このときタイマコントロール信号 $CONT_3$ でディレイタイマ6をクリアする(この時点ではタイマは始動しない)。これでデバイスはスタンバイ状態に移行し、その消費電力が著しく低減される。

ステップ⑩～⑫はスタンバイ解除動作である。先ず端子5に外部からスタンバイ解除信号が与えられるとはロジック2は制御信号 $CONT_2$ で発振器3を起動する(ステップ⑩)。これによりディレイタイマ6はカウントを開始する(ステップ⑪)。その後一定時間が経過するとタイマ6がオーバーフローするので(ステップ⑫)、ロジック2は制御信号 $CONT_1$ でクロック分周/制御回路4からRAM, ALU等への内部クロックの供給を再開させ(ステップ⑬)、これらの機能を作動させる(ステップ⑭)。

第3図(A)はスタンバイ制御ロジック2の制御信

号発生に関する構成例で、(B)は各部信号波形である。ナンドゲート G_1 , G_2 はフリップフロップを構成し、遅延信号 \overline{DLY} または電源投入信号 $PWON$ で状態を反転する。 \overline{DLY} は後述するディレイタイマ6のオーバーフロー出力に基づく信号で、通常動作時にはH(ハイ)レベルである。この信号 \overline{DLY} がL(ロー)レベルになる時点はスタンバイ移行時で、Hに復帰する時点はディレイタイマ6がオーバーフロー出力を生ずる時点である。 $\overline{DLY} = L$ であるとゲート G_1 の出力はHである。このときナンドゲート G_2 の2入力はLとHであるからその出力はHである。これがダミーサイクル用の2段のシフトレジスタ SR_1 , SR_2 を通して他方のナンドゲート G_2 に帰還されるので、ゲート G_2 の出力はLである。シフトレジスタ SR_3 はナンドゲート G_2 の出力を遅延して信号 $\overline{T_1}$ を発生する。シフトレジスタ SR_4 は信号 $\overline{T_1}$ を更に遅延させて信号 $\overline{T_2}$ を作成する。これらの信号 $\overline{T_1}$, $\overline{T_2}$ はノアゲート G_4 とナンドゲート G_5 の各2入力となり、ゲート G_5 からはクロック制御信号 $CONT_1$ が、またゲート G_4 か

公開実用 昭和58-101233

らは発振制御信号 $CONT_2$ が得られる。DIFは信号 $CONT_2$ の立上りを微分する微分回路で、これによりタイマ制御信号 $CONT_2$ の一種としてのクリア信号 CLR を発生する。

第4図は発振器3、クロック分周／制御回路4およびディレイタイマ6の詳細図である。発振器3は外部クリスタルXとナンドゲート G_0 からなり、 $CONT_2 = L$ で発振停止、 $CONT_2 = H$ で発振再開となる。クロック分周／制御回路4は発振器3の出力を分周して各種の内部のクロック ϕ_1, ϕ_2, \dots を発生する分周器4aとRAM, ALU等に対するこれらのクロック供給を制御信号 $\overline{CONT_1}$ で制御するアンドゲート G_7, G_8, \dots からなる。つまり $\overline{CONT_1} = L$ でクロック供給停止、 $\overline{CONT_1} = H$ でクロック供給再開である。但し、前述した様にスタンバイ制御ロジック2へは発振動作開始後直ちにクロック ϕ_1 を供給するようにし、またディレイタイマ6へもアンドゲート G_9 を通して該クロック ϕ_1 が発振動作開始直後から供給されるようにしておく。ゲート G_9 を通過したクロック ϕ_1 はオアゲート G_{10} を

経てプリスケータ10で分周される。

11は、それぞれ前段のキャリー出力で駆動される8段の加算器11₀~11₇からなるカウンタで、各段の加算器には初期値として入力セレクト12の8ビット出力D₀~D₇の各ビットがプリセットされる。13~15はそれぞれカウンタ11の用途を規定するレジスタで、レジスタ13はプログラムカウンタ用、レジスタ14はタイマカウンタ用、レジスタ15はディレイタイマ用である。通常動作時にはレジスタ13または14が排他的に使用され、スタンバイ時にはレジスタ15が使用される。入力セレクト12はこれらレジスタ13~15のいずれか1つだけを選択するもので、DLY=Hとなるスタンバイ時にはレジスタ15を選択してディレイタイマを構成する。このときレジスタ13、14の内容は保存される。カウンタ11をディレイタイマに用いるときは初段の加算器11₀にはクロックφ₁をプリスケータ10で分周した出力が供給され、最終段の加算器11₇のキャリー出力(Carry)がタイムオーバーフロー出力となる。

公開実用 昭和58-101233

16はこのキャリー出力でリセットされるフリップフロップである。このフリップフロップ16は第1図の命令デコーダ1のスタンバイ命令STBYでセットされ、スタンバイ期間は信号DLYをH(DLYをL)に保つ。尚、ゲートG₁₁はDLY=Lの通常動作時にタイマ/カウンタ制御からの信号をプリスケアラ10に導入するもので、これによりカウンタ11はレジスタ13または14のデータに基づきプログラムカウンタまたはユーザ使用のタイマカウンタとして機能する。

以上の説明から明らかなように、本例のディレイタイマ6は発振器3が起動されてクロック ϕ_1 が発生するとその時点から計時を開始する。そして一定時間が経過するとフリップフロップ6をリセットして信号DLYをLにするので、制御信号 $\overline{\text{CONT}}_1$ はこの時点でLからHに切換わり、RAM、ALU等への内部クロック ϕ_1, ϕ_2, \dots の供給が再開される。このためスタンバイ解除信号を受けて制御信号 CONT_2 が発振器3を起動した直後の不安定なクロックはRAM、ALU等へは供給されない。

しかも、ディレイタイマ6の機能は通常動作時に使用するカウンタ類とは独立しているので、スタンバイモードを経てもこれらカウンタ類のデータをそのまま保存できる。

(7) 考案の効果

以上述べたように本考案によれば、スタンバイ解除直後に一時的にクロック供給を禁止するディレイタイマを内蔵したので、外部端子数を増加させることなく不安定な発振出力による悪影響を除去することができる。しかもディレイタイマは他のカウンタ類とは別個の機能として設けられているので、スタンバイモードを経ても該カウンタ類の内容を破壊することがない利点を有する。

4. 図面の簡単な説明

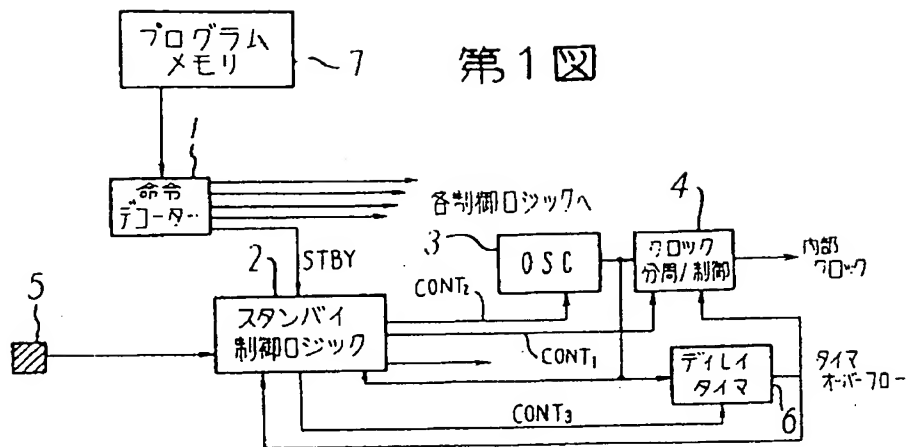
第1図は本考案の一実施例を示す概略ブロック図、第2図はスタンバイモードのフローチャート、第3図はスタンバイ制御ロジックの説明図、第4図はディレイタイマの説明図である。

図中、2はスタンバイ制御ロジック、3は発振器、4はクロック分周／制御回路、5はスタンバ

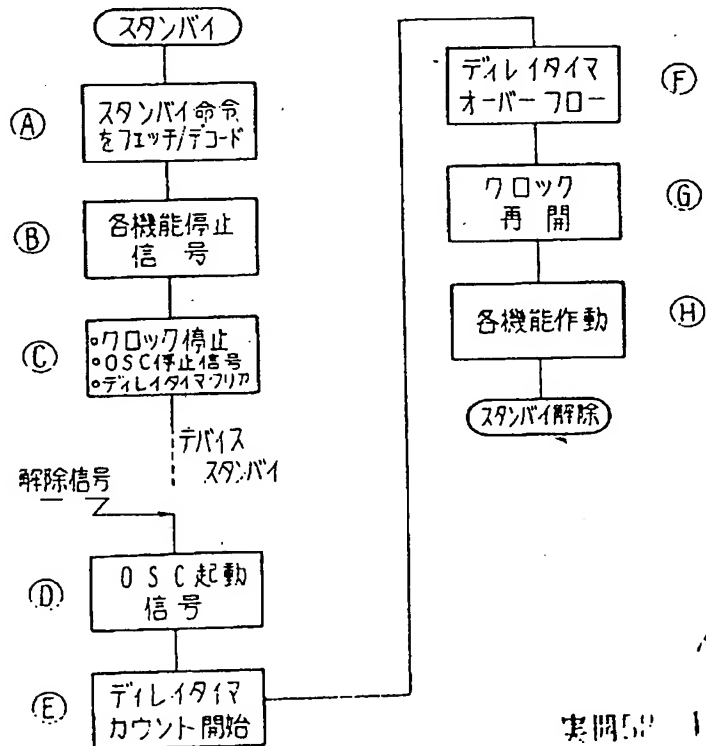
公開実用 昭和58-101233

イ解除端子、6はディレイタイマである。

出 願 人 富 士 通 株 式 会 社
代理人弁理士 青 柳 稔



第2図

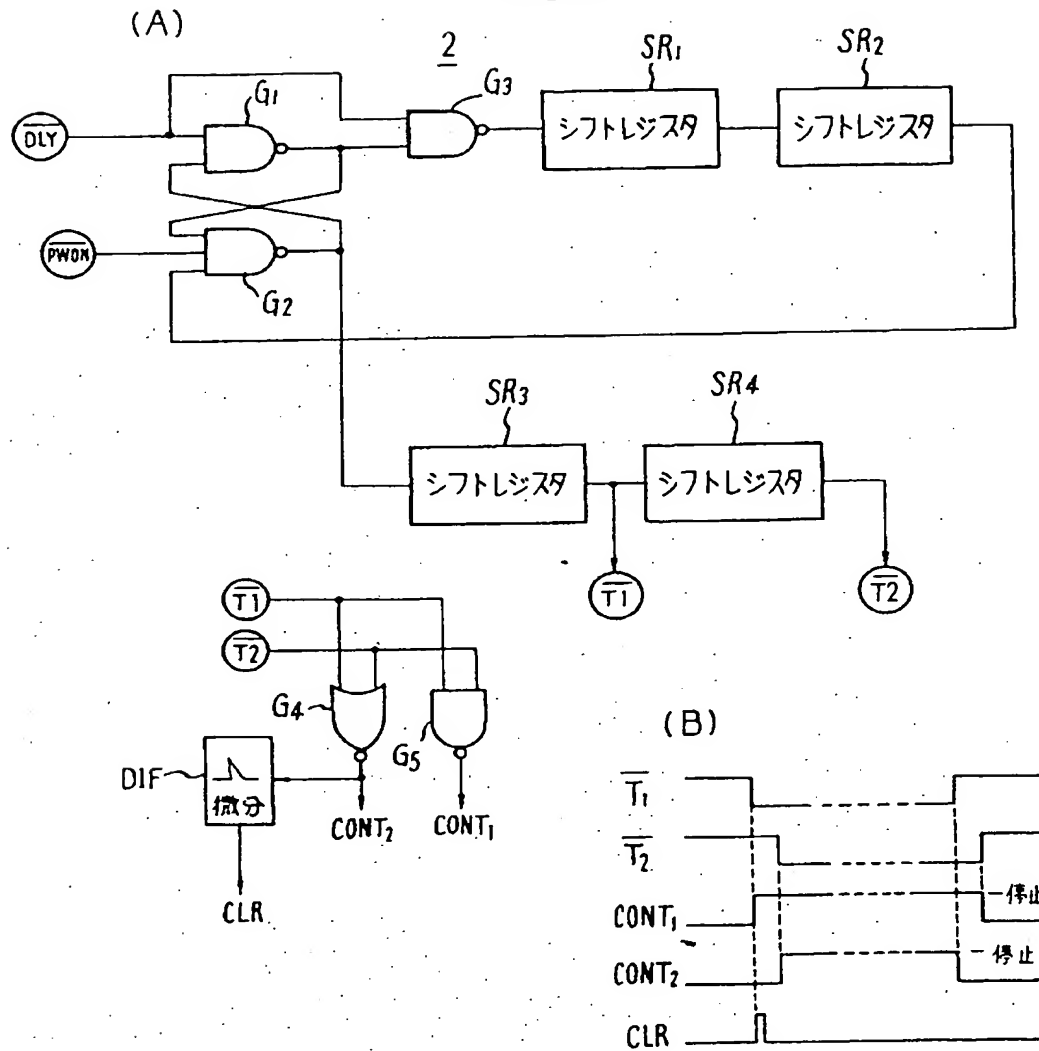


413

実開昭58-101233

公開実用 昭和58-101233

第3図



[illegible]

出 門

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

THIS PAGE BLANK (USPTO)